

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-067042

(43)Date of publication of application : 10.03.1995

(51)Int.Cl. H04N 5/335

(21)Application number : 06-131945 (71)Applicant : MATSUSHITA ELECTRIC
IND CO LTD

(22)Date of filing : 14.06.1994 (72)Inventor : KANEMICHI TOSHIKI
SHIDA TAKEHIKO

(30)Priority

Priority number : 05143507 Priority date : 15.06.1993 Priority country : JP

(54) SOLID-STATE IMAGING DEVICE

(57)Abstract:

PURPOSE: To provide a wide dynamic range by measuring time for the potential of a photodiode to reach a set potential by counting up clock signals.

CONSTITUTION: A reset switch 2 is turned on a reset signal (H) is turned to a signal R1 (L) by a NOT circuit and an output C2 of an AND circuit 5 is turned to L. Thus a photodiode 1 is grounded a potential V_{ph} of the photodiode 1 is turned to '0' the condition of $V_{ph} < V_{ref}$ is established concerning a reference potential V_{ref} and a comparator 3 outputs a signal Out (H) to an AND circuit 4. The signal Out and a clock signal 'clock' are ANDed by the AND circuit 4 and outputted. The circuit 5 sends the clock signal to a clock counter 6 and the counter 6 counts up

the clock signal. On the other hand the potential of the photodiode 1 is increased corresponding to the intensity of incident light at the time of $V_{ph} \geq V_{ref}$ the clock signal is cut off and the counter 6 holds the clock counter value.

CLAIMS

[Claim(s)]

[Claim 1] A solid state image pickup device which is provided with the following and characterized by measuring time until potential of a photo diode reaches set-up potential by counting up a clock signal from a clock.

A photo diode which changes incident light into an electrical signal at least.

A clock.

A clock counter which counts said clock for every pixel.

[Claim 2] The solid state image pickup device according to claim 1 which consists of a receiver circuit, a vertical shift register, a vertical switch, a vertical signal wire, a horizontal shift register, and a horizontal switch comprising:

A clock.

A photo diode which changes incident light into an electrical signal.

A reset switch which releases an electric charge accumulated in a photo diode.

A comparator which compares potential of a photo diode with reference potential given from the outside and outputs a comparison signal. A counter which counts up a signal from the 1st AND circuit that receives a comparison signal and a clock signal from a comparator, a reset signal of negative logic and the 2nd AND circuit that undergoes an output from the 1st AND circuit of the above and an account AND circuit of the front 2nd.

[Claim 3] A solid state image pickup device measuring time until it has the following and potential of a photo diode reaches said reference potential by counting up a clock signal from a clock.

A photo diode which changes incident light into an electrical signal at least.
A comparator which compares potential of a photo diode with reference potential given from the outside.
Two or more receiver circuits which are provided with a counter which counts a clock and perform a digital output.
A memory which memorizes a value of said counter.

[Claim 4]The solid state image pickup device according to claim 3 with which read-out from signal writing and a memory to a memory is characterized by a thing corresponding to each pixel independently performed for every receiver circuit.

[Claim 5]The solid state image pickup device according to claim 3 or 4 characterized by a thing corresponding to each pixel for which it had a clock counter for every receiver circuit.

[Claim 6]A photo diode which changes incident light into an electrical signaland a reset switch which releases an electric charge accumulated in a photo diodeA comparator which compares potential of a photo diode with reference potential given from the outsideand outputs a comparison signalA low voltage comparator which compares potential and low voltage reference potential of a photo diodeand outputs a low voltage comparison signalA flip-flop circuitand a clock signal and an AND circuit which undergoes an output from said flip-flop circuitA counter which counts up a signal from said AND circuitand a memory cell which memorizes a value of said counterThe solid state image pickup device according to claim 5 constituting a receiver circuit from an OR circuit which receives a reset signal and a comparison signal from a comparatorand an OR circuit which receives a reset signal and a signal from said flip-flop circuit by negative logic.

[Claim 7]A photo diode which changes incident light into an electrical signaland a reset switch which releases an electric charge accumulated in a photo diodeA comparator which compares potential of a photo diode with reference potential given from the outsideand outputs a comparison signalA flip-flop circuit which

outputs the output signal L and receives a comparison signal and a reset signal from a comparator with a start signalAn output from a flip-flop circuitand an AND circuit which receives a clock signalA counter which counts up a signal from said AND circuitand a memory cell which memorizes a value of said counterThe solid state image pickup device according to claim 5 constituting a receiver circuit from a delay circuit which receives a comparison signal from said comparatorand a start signal and an OR circuit which undergoes an output from said delay circuit.

[Claim 8]The solid state image pickup device according to claim 1 using a photo diode as a minute power supply.

[Claim 9]The solid state image pickup device according to claim 8 which consists of a receiver circuita vertical shift registera vertical switcha vertical signal wirea horizontal shift registerand a horizontal switchcomprising:

A clock.

A photo diode which changes incident light into an electrical signal.

A resistor.

A capacitor which accumulates current from a photo diodeand a reset switch which releases an electric charge accumulated in a capacitorA comparator which compares potential of a photo diode with reference potential given from the outsideand outputs a comparison signal when potential of a photo diode is lower than reference potentialAn AND circuit which receives a comparison signal and a clock signal from a comparatora reset signal of negative logic and an AND circuit which undergoes an output from the above-mentioned AND circuitand a counter which counts up a signal from said AND circuit.

[Claim 10]A photo diode which changes incident light into an electrical signala resistorand a capacitor which accumulates current from a photo diodeA reset switch which releases an electric charge accumulated in a capacitorand a comparator which compares potential of said capacitor with reference potential given from the outsideand outputs a comparison signalA low voltage comparator which compares potential and low voltage reference potential of said

capacitor and outputs a low voltage comparison signal. A flip-flop circuit and a clock signal and an AND circuit which undergoes an output from said flip-flop circuit. A counter which counts up a signal from said AND circuit and a memory cell which memorizes a value of said counter. The solid state image pickup device according to claim 8 constituting a receiver circuit from an OR circuit which receives a reset signal and a signal from a comparator and an OR circuit which receives a reset signal and a signal from said flip-flop circuit by negative logic.

[Claim 11] A photo diode which changes incident light into an electrical signal, a resistor and a capacitor which accumulates current from a photo diode, a reset switch which releases an electric charge accumulated in a capacitor and a comparator which compares potential of said capacitor with reference potential given from the outside and outputs a comparison signal. A flip-flop circuit which outputs the output signal L and receives a comparison signal and a reset signal from a comparator with a start signal. An output from a flip-flop circuit and an AND circuit which receives a clock signal. A counter which counts up a signal from said AND circuit and a memory cell which memorizes a value of said counter. The solid state image pickup device according to claim 8 constituting a receiver circuit from a delay circuit which receives a comparison signal from said comparator and a start signal and an OR circuit which undergoes an output from said delay circuit.

[Claim 12] A solid state image pickup device given in either of 6 and 8 from claim 1 to which a reset signal to all the receiver circuits synchronizes and is given to and clock pulse interval ΔT is given with a function of t when lapsed time from the newest reset signal input time is set to t while the following reset signal was inputted to 10.

[Claim 13] The solid state image pickup device according to claim 12 with which clock pulse interval ΔT is given by ct^r (c and r are the constants of the real number) or $\log(t)$.

[Claim 14] While a reset signal to all the receiver circuits synchronizes and is given and the following reset signal is inputted. A solid state image pickup device given in either of 6 and 8 from claim 1 whose reference potential $V_{ref}(t)$ is $V_{ref}(t) = V_0$

$(T_0 - t) / T_0$ (V_0 is a constant) when t and the maximum light measurement time are set to T_0 for lapsed time from the newest reset signal input time to 10 and 12.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the solid state image pickup device of imaging equipments such as a television camera which acquires a picture signal.

[0002]

[Description of the Prior Art] In recent years a solid state image pickup device is becoming the mainstream of image sensors such as a television camera from many strong points like it is reliable at low power consumption and a small light weight. The conventional solid state image pickup device is explained below.

[0003] Drawing 8 is a key map showing the basic constitution of the Inta transfer method CCD image sensor often used now. In drawing 8 1 is a photo diode 32 is a transfer gate 33 is vertical transfer CCD 34 is horizontal transfer CCD and 35 is output amplifier.

[0004] Operation of the Inta transfer method CCD image sensor constituted as mentioned above is explained. The photo diode 1 carries out photoelectric conversion of the light which entered through the optical system and accumulates an electric charge. The transfer gate 32 sends the electric charge which opened the gate and was accumulated in the photo diode to vertical transfer CCD 33 in response to a transmission gate pulse. Vertical transfer CCD 33 transmits a party [every] electric charge to horizontal transfer CCD 34 according to a vertical clock. Horizontal transfer CCD 34 transmits every one electric charge transmitted from vertical transfer CCD 33 to the output amplifier 35 according to a horizontal clock. The output amplifier 35 amplifies and outputs the transmitted electric charge.

[0005]

[Problem(s) to be Solved by the Invention]However since the electric charge accumulated in the photo diode 1 is performing conversion to the electrical signal of a lightwave signal in the above-mentioned conventional composition When there was strong incident light the technical problem with which the photo diode 1 is saturated that the dynamic range as an image sensor could not secure enough because of the signal deterioration at the time of transmitting an electric charge occurred. This invention solves the above-mentioned conventional technical problem and it aims at providing the solid state image pickup device which detects the luminous intensity which entered based on the speed in which an electric charge is accumulated.

[0006]

[Means for Solving the Problem] In order to attain this purpose a solid state image pickup device of this invention constitutes a light-receiving unit from a comparator which compares a photo diode with potential of a photo diode and reference potential given from the outside and a clock counter and takes composition which has a clock which gives a clock pulse of high frequency outside to each pixel.

[0007]

[Function] By this composition the clock counter can take out the intensity of incident light by measuring time until the potential of a photo diode turns into reference potential. Therefore also to the incident light that a photo diode is saturated since time until a photo diode serves as reference potential is limited it can measure incident light intensity and as compared with the conventional solid state image pickup device the large solid state image pickup device of a dynamic range can be realized.

[0008]

[Example] The first example of this invention is described below referring to drawings.

[0009] In drawing 1 10 is a receiver circuit 11 is a vertical shift register 12 is a vertical switch 13 is a vertical signal wire 14 is a horizontal shift register and 15 is a

horizontal switch. Drawing 2 (a) is a drawing in which the detailed composition of the receiver circuit 10 is shown. It is a photo diode with which 1 changes incident light into an electrical signal in drawing 2 (a) 2 is a reset switch which releases the electric charge accumulated in the photo diode 3 is a comparator which compares the potential of a photo diode with the reference potential given from the outside and outputs the comparison signal H when the potential of a photo diode is lower than reference potential 4 and 5 are AND circuits and 6 is a clock counter.

[0010] The operation is explained about the solid state image pickup device constituted as mentioned above. First it explains referring to for operation of the receiver circuit 10 the timing chart shown in drawing 2 (b). The contents of the clock counter are set to 0 the reset switch 2 is set to ON a reset signal (H) turns into the signal R1 (L) by a NOT circuit and is inputted [a reset signal (H) is inputted] into AND circuit 5 and the output C2 of AND circuit 5 is set to L. By this the photo diode 1 is grounded and the electric charge is released. In connection with this the potential V_{ph} of the photo diode 1 is set to zero and serves as $V_{ph} < V_{ref}$ to the reference potential V_{ref} given from the outside. The comparator 3 outputs the comparison signal Out (H) to AND circuit 4. AND circuit 4 takes and outputs AND of the comparison signal Out (H) and clock signal clock. In drawing 2 (b) a clock pulse is for regular intervals. Next a reset signal is set to L the reset switch 2 serves as OFF and the signal R1 is set to H. AND circuit 5 comes to send a clock signal to the clock counter 6 and the clock counter 6 counts up the clock signal from a clock. The potential V_{ph} begins to go up the photo diode 1 which released the electric charge and was undone from the ground state on the other hand at the speed according to incident light intensity according to a photoelectric effect. On the other hand if as for the clock counter 6 the comparator 3 compares the potential V_{ph} of the photo diode 1 with the reference potential V_{ref} given from the outside and it is set to $V_{ph} \geq V_{ref}$ the comparison signal Out will be set to L. In response to the comparison signal Out (L) AND circuit 4 intercepts the clock signal to the clock counter 6. In this way the clock counter 6 holds time until the potential V_{ph} of the photo diode 1 turns into

the reference potential V_{ref} from 0 as a clock counter value.

[0011] In this way the clock counter value currently held in each receiver circuit 10 is read as follows. First gate ON voltage is outputted and the vertical switch which is one line is set to ON from the vertical shift register 11. Next the gate ON voltage of a horizontal switch is outputted from the horizontal shift register 14 the vertical signal wire whose number is one is connected with an output signal line and the clock counter value of the one receiver circuit 10 is read. The picture signal which suited the TV camera standard is read by controlling the vertical shift register 11 and the horizontal register 14 by the order which becomes settled by the standard of a TV camera about this read-out operation and which was defined appropriately. What is necessary is to have omitted entry of a up to [a drawing] since the drawing became complicated about the reset signal of the receiver circuit 10 but to perform wiring for reset which takes the same composition as the circuit for read-out and just to send a reset signal to each receiver circuit 10 by same operation.

[0012] Although the exposure time of each receiver circuit 10 becomes short a reset signal is easy to take the simple composition simultaneously sent to all the receiver circuits 10. It becomes unnecessary in this case to take a clock pulse at equal intervals. If it is made to make time $t = n^2$ generate the n -th clock pulse using this in the above-mentioned example luminosity is proportional to the reciprocal of a clock counter value but. It is the relation between the luminosity Y and the clock counter value CNT $Y = Y_0 - a \cdot CNT$ (the maximum luminance and a which Y_0 can measure are constants)

It can do. In order to change the interval of a clock pulse For example what is necessary is providing a clock conversion circuit changing into t^2 $t = 12$ and 3 and the clock sent for every unit time like -- by a clock conversion circuit and making it just make a receiver circuit generate a clock signal at the time $t = 14$ and 9 and --. thus the interval of a clock pulse -- t^2 and $\log(t)$ -- or [0013]

[External Character 1]

[0014]By taking to ****the relation between a counter value and luminosity can be freely set to a logarithmic relation etc. if needed. By changing a clock pulse interval as mentioned above when time until luminosity reaches reference potential low is long a counter value does not increase too much.

[0015]Although it was considered as reference potential V_{ref} regularity in the above-mentioned example reference potential can also be dwindled from $t=0$ before $t=T$ with $V_{ref}(t) = V_0 (T_0 - t) / T_0$ (V_0 is a constant and T_0 is the maximum light measurement time) at the time of the next reset signal input at the time of a reset signal input. Thereby with the time interval of a reset signal also when not amounting to V_0 equivalent to the fixed reference potential light measurement becomes possible and reference potential [in / in the potential V_{ph} of a photo diode / $t=0$] and this can improve the image pick-up characteristic to a low-intensity photographic subject. In addition the reference potential V_{ref} may be independently set up for every receiver circuit. if the signal deterioration at the time of signal transmission is permitted a clock counter will be transposed to an analog integration circuit -- things can be carried out.

[0016]The solid state image pickup device by this example takes out the strength of incident light by the charge storage time in a photo diode.

Since the intensity of incident light can be measured by taking out the transient state even if it is when so strong that incident light saturates a photo diode a large dynamic range can be obtained as compared with the conventional solid state image pickup device.

Since the intensity of incident light is obtained with a digital variable by a clock counter degradation of the signal accompanying transmission of a pixel signal is avoidable.

[0017]In this example although the case where the photo diode 1 was made into the source of minute voltage was explained the photo diode 1 may be constituted as a source of micro current shown in drawing 3. What is necessary is just to use the circuit shown in drawing 3 instead of the photo diode 1 in that case. Since it is

the same also in the following examples this is not repeated.

[0018](Example 2) The 2nd example of this invention is described hereafter referring to drawings.

[0019]Drawing 4 (a) is a drawing in which the detailed composition of the receiver circuit 10 in the 2nd example is shown. It is a photo diode with which 1 changes incident light into an electrical signal in drawing 4 (a) 2 is a reset switch which releases the electric charge accumulated in the photo diode 3 is a comparator which compares the potential of a photo diode with the reference potential given from the outside and outputs a comparison signal when the potential of a photo diode is lower than reference potential 5 is an AND circuit 6 is a clock counter 7 is a memory cell 21 is a low voltage comparator which compares the potential and minimum potential of the photo diode 1 22 is an RS type flip-flop circuit 23 and 26 are OR circuits and 24 and 25 are resistors -- it is.

[0020]It explains referring to the timing chart which showed drawing 4 (b) the operation for the receiver circuit of the solid state image pickup device constituted as mentioned above. The resistors 24 and 25 are set up become the suitable potential V_{low} to give the reference potential V_{ref} given from the outside to the low voltage comparator 21.

[0021]If a reset signal (H) is inputted from the exterior the output of the RS type flip-flop circuit 22 is set as H and the output of OR circuit 26 will be set to H and will set the contents of the clock counter 6 to 0. OR circuit 23 is the signal R2. (H) is outputted the reset switch 2 is made into an ON state and the output C2 of AND circuit 5 connected by negative logic is maintained at L. When the reset switch 2 will be in an ON state the photo diode 1 is grounded and releases the electric charge. The potential V_{ph} of the photo diode 1 is set to zero in connection with this. In the state where it is set to $V_{ph} < V_{low} < V_{ref}$ from the exterior to the reference potential V_{ref} given the comparator 3 outputs the comparison signal CH (L). The low voltage comparator 21 outputs low voltage comparison signal CL (H).

[0022]If the reset signal from the outside is set to L it will be set to L the reset switch 2 will be in an OFF state and reset of the clock counter 6 will also end the

output signal R2 from OR circuit 23. The potential V_{ph} begins to go up the photo diode 1 undone from the ground state at the speed according to incident light intensity according to a photoelectric effect. Since negative logic connection of the output from OR circuit 23 is made at AND circuit 5a clock signal is sent to the clock counter 6. The clock counter 6 counts up a clock signal.

[0023] If the comparator 3 compares the potential V_{ph} of the photo diode 1 with the reference potential V_{ref} given from the outside and serves as $V_{ph} \geq V_{ref}$ it will output the comparison signal CH (H). The memory cell 7 receives the comparison signal CH from the comparator 3 (H) and reads the value of the clock counter 6. Similarly the output Out of the RS type flip flop circuit 22 is set to L from H. The output signal R2 of OR circuit 23 is set to H from LAND circuit 5 will be closed the reset switch 2 will be in an ON state and discharge of the photo diode 1 starts. If the potential V_{ph} of the photo diode 1 serves as $V_{ph} \leq V_{low}$ low voltage comparison signal CL (H) will be outputted. Low voltage comparison signal CL (H) passes along OR circuit 26 and resets the clock counter 6. In response to low voltage comparison signal CL (H) the output Out of the RS type flip flop circuit 22 is set to H from L.

[0024] Hereafter the same operation is repeated. In this way the memory cell 7 holds time until the potential V_{ph} of the photo diode 1 turns into the reference potential V_{ref} from V_{low} as a clock counter value. The clock counter value currently held at the memory cell 7 of each receiver circuit 10 can be read with the technique used by DRAM.

[0025] In a desirable example when the value to hold turns into the maximum a clock signal carries out a count-up stop and a counter is constituted so that the maximum may be held.

[0026] Drawing 5 (a) is a key map for explaining the composition and operation of this example. The light sensing portion 17 of drawing 5 (a) is an aggregate of the thing except the memory cell 7 of each receiver circuit 10.

The memory 16 is an aggregate of the memory cell 7 of each receiver circuit 10. Each receiver circuit (a figure three) performs transmission to the memory cell 7

to timing different respectively and each receiver circuit in the light sensing portion 17 rewrites the data (clock counter value) of the memory cell 7 as it accesses independently of each corresponding memory cell 7 in the memory 16 and was shown in drawing 5 (b). A picture signal is read from the memory 16 based on a standard. What is necessary is just to perform this read-out like said Example 1. thereby the solid state image pickup device by this example can be performed independently of the time of data read-out of measurement of the intensity of the incident light in each receiver circuit 10 by forming the memory cell 7 other than the effect described in Example 1. For this reason as compared with the solid state image pickup device of Example 1 also when incident light is weak a dynamic range possible [the image pick-up which is not caught by restriction of the exposure time of the conventional solid state image pickup device of about 1 demanded from the standard of TV / 30 seconds] simultaneously larger can be secured.

[0027] (Example 3) The 3rd example of this invention is described below referring to drawings.

[0028] Drawing 6 (a) is a drawing in which the detailed composition of the receiver circuit 10 in the 3rd example is shown. It is a photo diode with which 1 changes incident light into an electrical signal in drawing 6 (a) 2 is a reset switch which releases the electric charge accumulated in the photo diode 3 is a comparator which compares the potential of a photo diode with the reference potential given from the outside and outputs the comparison signal Out (H) when the potential of a photo diode is lower than reference potential 4 is an AND circuit 6 is a clock counter 7 is a memory cell 27 is an RS type flip flop circuit 28 is a delay circuit and 29 is an OR circuit.

[0029] It explains referring to the timing chart which showed drawing 6 (b) the operation for the receiver circuit of the solid state image pickup device constituted as mentioned above. In this example it reads like Example 1 and a reset signal is inputted for every cycle. First if start signal start (H) is inputted from the exterior the output signal Out of the RS type flip flop circuit 27 will be set to

Land the counter 6 will be reset. AND circuit 4 which received the output signal Out (L) closes a gate. The reset switch 2 by which negative logic connection was made will be in an ON state in response to the output signal Out (L). On the other hand AND circuit 4 which received the output signal Out (L) closes a gate.

Next reset-signal reset (H) is inputted. When the reset switch 2 will be in an ON state the photo diode 1 is grounded and releases the electric charge. The potential V_{ph} of the photo diode 1 is set to zero in connection with this. In the state where it is set to $V_{ph} < V_{ref}$ from the exterior to the reference potential V_{ref} given the comparator 3 outputs the comparison signal CH (L).

[0030] If reset-signal reset from the outside is set to L the potential V_{ph} will begin to go up the photo diode 1 undone from the ground state at the speed according to incident light intensity according to a photoelectric effect. The output signal Out of the RS type flip flop circuit 27 is set to H from L the gate of AND circuit 4 can open it and a clock signal is sent to the clock counter 6. The clock counter 6 counts up a clock signal.

[0031] First the case where the time when the potential of a photo diode is set to V_{ref} is shorter than a read-out cycle is explained. If the comparator 3 compares the potential V_{ph} of the photo diode 1 with the reference potential V_{ref} given from the outside and serves as $V_{ph} \geq V_{ref}$ it will output the comparison signal CH (H). It is set to L from H the gate of AND circuit 4 is closed and the output signal Out of the flip-flop circuit 27 has a clock signal intercepted in response to the comparison signal CH (H). The memory cell 7 reads a counter value from the clock counter 6. The output signal Out passing through the delay circuit 28 (L) passes along OR circuit 29 by which negative logic connection was made and resets the clock counter 6 which transmitted the clock counter value to the memory cell. In this way the memory cell 7 holds time until the potential V_{ph} of the photo diode 1 turns into the reference potential V_{ref} from 0 as a clock counter value.

[0032] If reset-signal reset (H) is inputted the output signal Out of the RS type flip flop circuit 27 will be set to H from L and will start measurement of incident light

intensity again.

[0033]Next the case where the time when the potential of a photo diode is set to V_{ref} is longer than a read-out cycle is explained. Even if the potential V_{ph} of the photo diode 1 is compared with the reference potential V_{ref} given from the outside while the output signal of the comparator 3 is maintaining CH (L) and a reset signal is inputted while being $V_{ph} < V_{ref}$ The output signal Out of an RS type flip flop circuit does not change from L. In this way reset signal is disregarded.

[0034]The receiver circuit 10 continues measurement of incident light intensity until it compares the potential V_{ph} of the photo diode 1 with the reference potential V_{ref} given from the outside and is set to $V_{ph} \geq V_{ref}$ and the output signal of the comparator 3 serves as CH (H). The following carries out the same operation as a top. The clock counter value currently held at the memory cell 7 of each receiver circuit 10 can be read with the technique used by DRAM.

[0035]By forming the memory cell 7 and the RS type flip flop circuit 27 which receives a reset signal according to this example As shown in drawing 7 in the case of a TV camera sampling timing of the receiver circuit 10 where the intensity of incident light is strong is performed simultaneously every $[1/30]$ seconds The sampling timing of the receiver circuit where intensity is weak can obtain the large solid state image pickup device of the dynamic range sampled whenever a required signal is acquired.

[0036]

[Effect of the Invention]The photo diode which changes incident light into an electrical signal by this invention as mentioned above A light-receiving unit is constituted from a comparator which compares the potential of a photo diode with the reference potential given from the outside and a clock counter the clock which gives the clock pulse of high frequency outside to each pixel is formed and the strength of incident light is taken out by the charge storage time in a photo diode.

Therefore since the intensity of incident light can be measured even if it is when

so strong that incident light saturates a photo diode a large dynamic range can be obtained as compared with the conventional solid state image pickup device. Since the intensity of incident light is obtained with a digital variable by a clock counterdegradation of the signal accompanying transmission of a pixel signal is avoidable.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The key map showing the composition of the solid state image pickup device in the 1st example of this invention

[Drawing 2] (a) The circuit diagram showing the detailed composition of the receiver circuit of the solid state image pickup device in the example

(b) The timing chart for explaining operation of the receiver circuit of the solid state image pickup device in the example

[Drawing 3] The circuit diagram of the photo diode circumference at the time of changing the photo diode of this invention into the source of micro current from the source of minute voltage

[Drawing 4] (a) The circuit diagram showing the composition of the receiver circuit in the 2nd example of this invention

(b) The timing chart for explaining operation of the receiver circuit of the solid state image pickup device in the example

[Drawing 5] The key map showing the situation of the operation in the example

[Drawing 6] (a) The circuit diagram showing the composition of the receiver circuit in the 3rd example of this invention

(b) The timing chart for explaining operation of the receiver circuit of the solid state image pickup device in the example

[Drawing 7] The key map showing the situation of the operation in the example

[Drawing 8] The key map showing the composition of the conventional solid state

image pickup device

[Description of Notations]

1 Photo diode

2 Reset switch

3 Comparator

4 AND circuit

5 AND circuit

6 Clock counter

7 Memory cell

8 Resistor

9 Capacitor

10 Receiver circuit

11 Vertical shift register

12 Vertical switch

13 Vertical signal wire

14 Horizontal shift register

15 Horizontal switch

16 Memory

17 Light sensing portion

21 Low voltage comparator

22 RS type flip flop circuit

23 OR circuit

24 Resistor

25 Resistor

27 RS type flip flop circuit

28 Delay circuit

29 OR circuit

32 Transfer gate

33 Vertical transfer CCD

34 Horizontal transfer CCD

35 Output amplifier

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-67042

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl.⁶

H 0 4 N 5/335

識別記号

庁内整理番号

P

F I

技術表示箇所

審査請求 未請求 請求項の数14 O L (全 9 頁)

(21) 出願番号 特願平6-131945

(22) 出願日 平成6年(1994)6月14日

(31) 優先権主張番号 特願平5-143507

(32) 優先日 平5(1993)6月15日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 金道 敏樹

神奈川県川崎市多摩区東三田3丁目10番1

号 松下技研株式会社内

(72) 発明者 志田 武彦

神奈川県川崎市多摩区東三田3丁目10番1

号 松下技研株式会社内

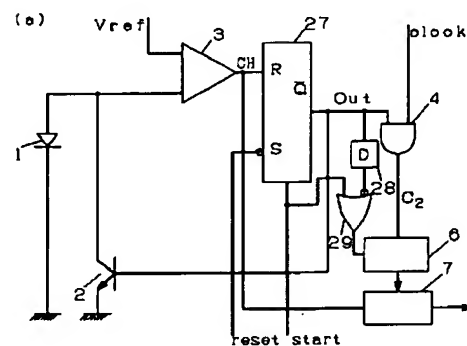
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 固体撮像素子

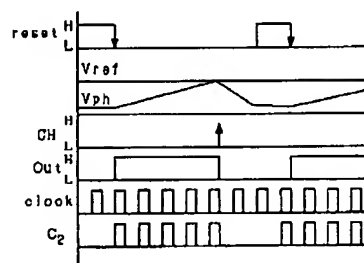
(57) 【要約】

【目的】 画像信号を得るテレビカメラ等撮像機器の固体撮像素子に関し、電荷が蓄積される速度に基づいて入射した光の強度を検知する優れた特性を持つ固体撮像素子を実現することを目的とする。

【構成】 受光単位を光ダイオード1と、光ダイオード1の電位と外部から与えられる参照電位とを比較する比較器3と、クロックカウンタ6とから構成し、外部に各画素に高周波のクロックパルスを与えるクロックを有する。クロックカウンタ6は光ダイオード1の電位が参照電位に達するまでの時間を計測することにより入射光の強度を取り出すので、光ダイオードが飽和するような入射光に対しても、参照電位に達するまでの時間は有限であることから入射光強度を計測することができ、ダイナミックレンジの広い固体撮像素子を実現できる。



(b)



【特許請求の範囲】

【請求項1】 少なくとも、入射光を電気信号に変える光ダイオードと、クロックと、各画素ごとに前記クロックをカウントするクロックカウンタとを備え、光ダイオードの電位が設定された電位に達するまでの時間をクロックからのクロック信号をカウントアップすることにより計測することを特徴とする固体撮像素子。

【請求項2】 クロックと、入射光を電気信号に変える光ダイオードと、光ダイオードに蓄積された電荷を解放するリセットスイッチと、光ダイオードの電位と外部から与えられる参照電位を比較して比較信号を出力する比較器と、比較器からの比較信号とクロック信号を受ける第1のAND回路と、負論理のリセット信号と上記第1のAND回路からの出力を受ける第2のAND回路と、前第2の記AND回路からの信号をカウントアップするカウンタとからなる受光回路と、垂直シフトレジスタと、垂直スイッチと、垂直信号線と、水平シフトレジスタと、水平スイッチとからなる請求項1記載の固体撮像素子。

【請求項3】 すくなくとも、入射光を電気信号に変える光ダイオードと、光ダイオードの電位と外部から与えられる参照電位とを比較する比較器と、クロックをカウントするカウンタとを備え、デジタル出力を行う複数の受光回路と、前記カウンタの値を記憶するメモリとを有し、光ダイオードの電位が前記参照電位に達するまでの時間をクロックからのクロック信号をカウントアップすることにより計測することを特徴とする固体撮像素子。

【請求項4】 メモリへの信号書き込みとメモリからの読みだしが各画素に対応する受光回路ごとに独立して行われることを特徴とする請求項3記載の固体撮像素子。

【請求項5】 各画素に対応する受光回路ごとにクロックカウンタを備えたことを特徴とする請求項3または4に記載の固体撮像素子。

【請求項6】 入射光を電気信号に変える光ダイオードと、光ダイオードに蓄積された電荷を解放するリセットスイッチと、光ダイオードの電位と外部から与えられる参照電位とを比較し比較信号を出力する比較器と、光ダイオードの電位と低電位参照電位を比較し低電位比較信号を出力する低電位比較器と、フリップフロップ回路と、クロック信号と前記フリップフロップ回路からの出力を受けるAND回路と、前記AND回路からの信号をカウントアップするカウンタと、前記カウンタの値を記憶するメモリセルと、リセット信号と比較器からの比較信号を受けるOR回路と、リセット信号と前記フリップフロップ回路からの信号を負論理で受けるOR回路とから受光回路を構成したことを特徴とする請求項5記載の固体撮像素子。

【請求項7】 入射光を電気信号に変える光ダイオードと、光ダイオードに蓄積された電荷を解放するリセットスイッチと、光ダイオードの電位と外部から与えられる

参照電位を比較し比較信号を出力する比較器と、スタート信号によって出力信号Lを出力し比較器からの比較信号とリセット信号を受けるフリップフロップ回路と、フリップフロップ回路からの出力とクロック信号を受けるAND回路と、前記AND回路からの信号をカウントアップするカウンタと、前記カウンタの値を記憶するメモリセルと、前記比較器からの比較信号を受ける遅延回路と、スタート信号と前記遅延回路からの出力を受けるOR回路とから受光回路を構成したことを特徴とする請求項5記載の固体撮像素子。

【請求項8】 光ダイオードを微小電源として用いることを特徴とする請求項1記載の固体撮像素子。

【請求項9】 クロックと、入射光を電気信号に変える光ダイオードと、抵抗器と、光ダイオードからの電流を蓄積するコンデンサと、コンデンサに蓄積された電荷を解放するリセットスイッチと、光ダイオードの電位と外部から与えられる参照電位を比較し光ダイオードの電位が参照電位より低いとき比較信号を出力する比較器と、比較器からの比較信号とクロック信号を受けるAND回路と、負論理のリセット信号と上記AND回路からの出力を受けるAND回路と、前記AND回路からの信号をカウントアップするカウンタとからなる受光回路と、垂直シフトレジスタと、垂直スイッチと、垂直信号線と、水平シフトレジスタと、水平スイッチとからなる請求項8記載の固体撮像素子。

【請求項10】 入射光を電気信号に変える光ダイオードと、抵抗器と、光ダイオードからの電流を蓄積するコンデンサと、コンデンサに蓄積された電荷を解放するリセットスイッチと、前記コンデンサの電位と外部から与えられる参照電位を比較し比較信号を出力する比較器と、前記コンデンサの電位と低電位参照電位を比較し低電位比較信号を出力する低電位比較器と、フリップフロップ回路と、クロック信号と前記フリップフロップ回路からの出力を受けるAND回路と、前記AND回路からの信号をカウントアップするカウンタと、前記カウンタの値を記憶するメモリセルと、リセット信号と比較器からの信号を受けるOR回路と、リセット信号と前記フリップフロップ回路からの信号を負論理で受けるOR回路とから受光回路を構成したことを特徴とする請求項8記載の固体撮像素子。

【請求項11】 入射光を電気信号に変える光ダイオードと、抵抗器と、光ダイオードからの電流を蓄積するコンデンサと、コンデンサに蓄積された電荷を解放するリセットスイッチと、前記コンデンサの電位と外部から与えられる参照電位を比較し比較信号を出力する比較器と、スタート信号によって出力信号Lを出力し比較器からの比較信号とリセット信号を受けるフリップフロップ回路と、フリップフロップ回路からの出力とクロック信号を受けるAND回路と、前記AND回路からの信号をカウントアップするカウンタと、前記カウンタの値を記

憶するメモリセルと、前記比較器からの比較信号を受ける遅延回路と、スタート信号と前記遅延回路からの出力を受けるOR回路とから受光回路を構成したことを特徴とする請求項8記載の固体撮像素子。

【請求項12】 全ての受光回路へのリセット信号が同期して与えられ、次のリセット信号が入力される間で最新のリセット信号入力時からの経過時間を t としたとき、クロックパルス間隔 δT は t の関数で与えられる請求項1から6、8から10のいずれかに記載の固体撮像素子。

【請求項13】 クロックパルス間隔 δT が $c \cdot t^r$ (c 、 r は実数の定数) または $\log(t)$ で与えられる請求項12記載の固体撮像素子。

【請求項14】 全ての受光回路へのリセット信号が同期して与えられ、次のリセット信号が入力される間で、最新のリセット信号入力時からの経過時間を t 、最大測光時間を T_0 としたとき、参照電位 $V_{ref}(t)$ が、 $V_{ref}(t) = V_0(T_0 - t) / T_0$ (V_0 は定数)である請求項1から6、8から10、12のいずれかに記載の固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、画像信号を得るテレビカメラ等撮像機器の固体撮像素子に関するものである。

【0002】

【従来の技術】 近年、固体撮像素子は低消費電力、小型軽量で信頼性が高いなどの多くの長所からテレビカメラなどの撮像素子の主流になりつつある。以下に従来の固体撮像素子について説明する。

【0003】 図8は現在よく使われているインタランスファ方式CCD撮像素子の基本構成を示す概念図である。図8において、1は光ダイオードであり、32は転送ゲートであり、33は垂直転送CCDであり、34は水平転送CCDであり、35は出力アンプである。

【0004】 以上のように構成されたインタランスファ方式CCD撮像素子の動作について、説明する。光ダイオード1は光学系を通して入射した光を光電変換し、電荷を蓄積する。転送ゲート32は転送ゲートパルスを受けて、ゲートを開け光ダイオードに蓄積した電荷を垂直転送CCD33に送る。垂直転送CCD33は垂直クロックにしたがって、一行づつ電荷を水平転送CCD34に転送する。水平転送CCD34は、垂直転送CCD33より転送された電荷を水平クロックに従って出力アンプ35に一つづつ転送する。出力アンプ35は転送された電荷を増幅して出力する。

【0005】

【発明が解決しようとする課題】 しかしながら上記の従来の構成では、光信号の電気信号への変換を光ダイオード1に蓄積された電荷で行っているために、強い入射光があった場合に光ダイオード1が飽和する、電荷を転送

する際の信号劣化の為に、撮像素子としてのダイナミックレンジが十分確保できないという課題があった。本発明は上記の従来の課題を解決するもので、電荷が蓄積される速度に基づいて入射した光の強度を検知する固体撮像素子を提供することを目的とする。

【0006】

【課題を解決するための手段】 この目的を達成するために本発明の固体撮像素子は、光ダイオードと、光ダイオードの電位と外部から与えられる参照電位とを比較する比較器と、クロックカウンタとから受光単位を構成し、外部に各画素に高周波のクロックパルスを与えるクロックを有する構成をとる。

【0007】

【作用】 この構成によって、クロックカウンタは光ダイオードの電位が参照電位となるまでの時間を計測することで、入射光の強度を取り出すことができる。したがって、光ダイオードが飽和するような入射光に対しても、光ダイオードが参照電位となるまでの時間は有限であることから入射光強度を計測することができ、従来の固体撮像素子と比較してダイナミックレンジの広い固体撮像素子を実現できる。

【0008】

【実施例】 以下本発明の第一の実施例について、図面を参照しながら説明する。

【0009】 図1において、10は受光回路であり、11は垂直シフトレジスタであり、12は垂直スイッチであり、13は垂直信号線であり、14は水平シフトレジスタであり、15は水平スイッチである。図2(a)は、受光回路10の詳しい構成を示す図面である。図2(a)において、1は入射光を電気信号に変える光ダイオードであり、2は光ダイオードに蓄積された電荷を解放するリセットスイッチであり、3は光ダイオードの電位と外部から与えられる参照電位を比較し光ダイオードの電位が参照電位より低いとき比較信号Hを出力する比較器であり、4、5はAND回路であり、6はクロックカウンタである。

【0010】 以上のように構成された固体撮像素子について、その動作を説明する。まず、受光回路10の動作について、図2(b)に示したタイミングチャートを参照しながら説明する。リセット信号(H)が入力され、クロックカウンタの内容を0にセットし、リセットスイッチ2がONになり、リセット信号(H)はNOT回路によって信号R1(L)になってAND回路5に入力され、AND回路5の出力C2はLとなる。これによって光ダイオード1を接地し、その電荷を解放する。これにともない光ダイオード1の電位 V_{ph} は0となり、外部から与えられる参照電位 V_{ref} に対して

$$V_{ph} < V_{ref}$$

となる。比較器3は比較信号Out(H)をAND回路4に出力する。AND回路4は比較信号Out(H)と

クロック信号 $clock$ のANDをとって出力する。図2(b)ではクロックパルスを等間隔にとっている。次にリセット信号がLになり、リセットスイッチ2がOFFとなり、信号R1はHとなる。AND回路5はクロック信号をクロックカウンタ6に送るようになり、クロックカウンタ6はクロックからのクロック信号をカウントアップする。一方、電荷を解放し、接地状態から解かれた光ダイオード1は、入射光強度に応じた速度で光電効果によって電位 V_{ph} が上がり始める。一方、クロックカウンタ6は比較器3は、光ダイオード1の電位 V_{ph} と外部から与えられる参照電位 V_{ref} とを比較し、 $V_{ph} \geq V_{ref}$

となると、比較信号 Out はLとなる。比較信号 Out (L) を受けて、AND回路4は、クロックカウンタ6へのクロック信号を遮断する。こうしてクロックカウンタ6は、光ダイオード1の電位 V_{ph} が0から参照電位 V_{ref} になるまでの時間をクロックカウンタ値として保持する。

【0011】 こうして各受光回路10に保持されているクロックカウンタ値は、次のようにして読み出される。まず、垂直シフトレジスタ11から、ゲートON電圧が出力され、一ライン分の垂直スイッチがONになる。次に、水平シフトレジスタ14から水平スイッチのゲートON電圧が出力され、一つの垂直信号線が出力信号線につながり、一受光回路10のクロックカウンタ値が読み出される。この読みだし動作を、TVカメラの規格で定まる適切に定められた順序で垂直シフトレジスタ11、水平レジスタ14を制御することにより、TVカメラ規格にあった画像信号が読み出される。受光回路10のリセット信号については図面が煩雑になるので図面上への記入は省略したが、読みだし用の回路と同様の構成をとるリセット用の配線を行い、同様の動作により、各受光回路10にリセット信号をおくればよい。

【0012】 なお、各受光回路10の露光時間は短くなるが、リセット信号は全ての受光回路10に同時に送る簡便な構成をとることは容易である。この場合には、クロックパルスを等間隔にとる必要はなくなる。これを利用して、例えば n 回目のクロックパルスを時刻 $t = n^2$ に発生させるようにすれば、上記実施例では輝度がクロックカウンタ値の逆数に比例するが、輝度 Y とクロックカウンタ値 CNT との関係は $Y = Y_0 - a \cdot CNT$ (Y_0 は計測可能な最大輝度、 a は定数)

とできる。クロックパルスの間隔を変化させるためには、例えばクロック変換回路を設け、 $t = 1, 2, 3, \dots$ のように単位時間毎に送られてくるクロックを、クロック変換回路により t^2 に変換し、受光回路には $t = 1, 4, 9, \dots$ という時刻にクロック信号を発生させるようにすればよい。このようにクロックパルスの間隔を $t, t^2, \log(t)$ 、または

【0013】

【外1】

$$t^{\tau+1} \quad (\tau \text{ は } \tau \text{ 補正の指数})$$

【0014】 などにとることにより、カウンタ値と輝度の関係を必要に応じて、対数関係などに自由に設定できる。以上のようにして、クロックパルス間隔を変化させることにより、輝度が低く参照電位に達するまでの時間が長い場合にカウンタ値が増加し過ぎることがない。

【0015】 また、上記実施例においては参照電位 V_{ref} 一定としたが、参照電位をリセット信号入力時 $t = 0$ から次のリセット信号入力時 $t = T$ までの間に $V_{ref}(t) = V_0(T - t) / T$

(V_0 は定数、 T は最大測光時間) と漸減させることもできる。これにより、リセット信号の時間間隔で光ダイオードの電位 V_{ph} が $t = 0$ における参照電位、これは固定された参照電位に相当する V_0 に達しない場合にも測光が可能になり、低輝度被写体に対する撮像特性を改善することができる。加えて、参照電位 V_{ref} は、受光回路ごとに別々に設定してもよい。さらに、信号転送時の信号劣化を許容すれば、クロックカウンタはアナログ積分回路に置き換えることができる。

【0016】 本実施例による固体撮像素子は、入射光の強さを光ダイオードにおける電荷蓄積時間によって取り出すものであり、入射光が光ダイオードを飽和させるほど強い場合であっても、その過渡状態を取り出すことにより、入射光の強度を測定することができるため、従来の固体撮像素子と比較して広いダイナミックレンジをえることができる。また、入射光の強度はクロックカウンタによってデジタル量で得られるので、画素信号の転送にともなう信号の劣化を避けることができる。

【0017】 なお、本実施例においては、光ダイオード1を微小電圧源とした場合について説明したが、光ダイオード1を図3に示した微小電流源として構成してもかまわない。その際は、光ダイオード1の替わりに図3に示した回路を用いれば良い。これは、以下の実施例においても同様であるので繰り返さない。

【0018】 (実施例2) 以下、本発明の第2の実施例について、図面を参照しながら説明する。

【0019】 図4(a)は、第2の実施例における受光回路10の詳しい構成を示す図面である。図4(a)において、1は入射光を電気信号に変える光ダイオードであり、2は光ダイオードに蓄積された電荷を解放するリセットスイッチであり、3は光ダイオードの電位と外部から与えられる参照電位を比較し光ダイオードの電位が参照電位より低いとき比較信号を出力する比較器であり、5はAND回路であり、6はクロックカウンタであり、7はメモリセルであり、21は光ダイオード1の電位と下限電位を比較する低電位比較器であり、22はRS型のフリップフロップ回路であり、23、26はOR

回路であり、24、25は抵抗器である。

【0020】以上のように構成された固体撮像素子の受光回路について、その動作を図4(b)に示したタイミングチャートを参照しながら説明する。抵抗器24、25は外部から与えられる参照電位 V_{ref} を、低電位比較器21に与えるに適切な電位 V_{low} となるように設定されている。

【0021】外部よりリセット信号(H)が入力されると、RS型のフリップフロップ回路22の出力をHに設定し、OR回路26の出力はHとなってクロックカウンタ6の内容を0にセットする。OR回路23は信号R2(H)を出力し、リセットスイッチ2をON状態にし、負論理で接続されたAND回路5の出力C2をLに保つ。リセットスイッチ2がON状態になることにより、光ダイオード1は接地され、その電荷を解放する。これにともない光ダイオード1の電位 V_{ph} は0となる。外部から与えられる参照電位 V_{ref} に対して $V_{ph} < V_{low} < V_{ref}$ となる状態において、比較器3は比較信号CH(L)を出力する。低電位比較器21は低電位比較信号CL(H)を出力する。

【0022】外部からのリセット信号がLになると、OR回路23からの出力信号R2はLになり、リセットスイッチ2がOFF状態になり、クロックカウンタ6のリセットも終了する。接地状態から解かれた光ダイオード1は、入射光強度に応じた速度で光電効果によって電位 V_{ph} が上がり始める。また、OR回路23からの出力はAND回路5に負論理接続されているから、クロック信号がクロックカウンタ6に送られる。クロックカウンタ6はクロック信号をカウントアップする。

【0023】比較器3は、光ダイオード1の電位 V_{ph} と外部から与えられる参照電位 V_{ref} とを比較し、 $V_{ph} \geq V_{ref}$ となると、比較信号CH(H)を出力する。メモリセル7は比較器3からの比較信号CH(H)を受け、クロックカウンタ6の値を読み込む。同じく、RS型フリップフロップ回路22の出力Outは、HからLになる。OR回路23の出力信号R2はLからHになり、AND回路5が閉じられ、リセットスイッチ2がON状態になり光ダイオード1の放電が始まる。光ダイオード1の電位 V_{ph} が

$V_{ph} \leq V_{low}$

となると、低電位比較信号CL(H)が出力される。低電位比較信号CL(H)はOR回路26を通過して、クロックカウンタ6をリセットする。低電位比較信号CL(H)を受けて、RS型フリップフロップ回路22の出力OutはLからHになる。

【0024】以下は、同様の動作が繰り返される。こうして、メモリセル7は、光ダイオード1の電位 V_{ph} が V_{low} から参照電位 V_{ref} になるまでの時間をクロックカウ

ンタ値として保持する。各受光回路10のメモリセル7に保持されているクロックカウンタ値は、DRAMで用いられている手法によって読み出すことができる。

【0025】なお、好ましい実施例においては、カウンタはその保持する値が最大値となった時には、クロック信号のカウントアップ停止して、その最大値を保持するように構成される。

【0026】図5(a)は本実施例の構成と動作を説明するための概念図である。図5(a)の受光部17は、各受光回路10のメモリセル7を除いたものの集合体であり、メモリ16は各々の受光回路10のメモリセル7の集合体である。受光部17内の各受光回路は、メモリ16内の対応する各メモリセル7に独立にアクセスし、図5(b)に示したように、各受光回路(図では3つ)がそれぞれ異なるタイミングでメモリセル7への転送を行い、メモリセル7のデータ(クロックカウンタ値)を書き換える。画像信号はメモリ16から規格に基づいて、読み出される。この読み出しは、前記実施例1と同様に行えばよい。これにより、本実施例による固体撮像素子は、実施例1で述べた効果の他に、メモリセル7を設けることにより、各受光回路10における入射光の強度の測定をデータ読みだしの時間とは独立におこなうことができる。このため、実施例1の固体撮像素子に比較して、入射光が弱い場合にもTVの規格から要求される約1/30秒という従来の固体撮像素子の露光時間の制限に捕らわれない撮像が可能と同時に、より広いダイナミックレンジを確保することができる。

【0027】(実施例3)以下本発明の第3の実施例について、図面を参照しながら説明する。

【0028】図6(a)は、第3の実施例における受光回路10の詳しい構成を示す図面である。図6(a)において、1は入射光を電気信号に変える光ダイオードであり、2は光ダイオードに蓄積された電荷を解放するリセットスイッチであり、3は光ダイオードの電位と外部から与えられる参照電位を比較し光ダイオードの電位が参照電位より低いとき比較信号Out(H)を出力する比較器であり、4はAND回路であり、6はクロックカウンタであり、7はメモリセルであり、27はRS型フリップフロップ回路であり、28は遅延回路であり、29はOR回路である。

【0029】以上のように構成された固体撮像素子の受光回路について、その動作を図6(b)に示したタイミングチャートを参照しながら説明する。本実施例においては、実施例1と同様に読みだし周期ごとにリセット信号が入力される。まず、外部よりスタート信号start(H)が入力されると、RS型フリップフロップ回路27の出力信号OutはLになり、カウンタ6はリセットされる。出力信号Out(L)を受けたAND回路4は、ゲートを閉じる。負論理接続されたリセットスイッチ2は出力信号Out(L)を受けてON状態になる。

一方、出力信号 $Out(L)$ を受けた AND 回路 4 はゲートを閉じる。次に、リセット信号 $reset(H)$ が入力される。リセットスイッチ 2 が ON 状態になることにより、光ダイオード 1 は接地され、その電荷を解放する。これにともない光ダイオード 1 の電位 V_{ph} は 0 となる。外部から与えられる参照電位 V_{ref} に対して

$$V_{ph} < V_{ref}$$

となる状態において、比較器 3 は比較信号 $CH(L)$ を出力する。

【0030】外部からのリセット信号 $reset$ が L になると、接地状態から解かれた光ダイオード 1 は、入射光強度に応じた速度で光電効果によって電位 V_{ph} が上がり始める。また、RS 型フリップフロップ回路 27 の出力信号 Out は L から H になり、AND 回路 4 のゲートが開けられ、クロック信号がクロックカウンタ 6 に送られる。クロックカウンタ 6 はクロック信号をカウントアップする。

【0031】まず、読みだし周期より、光ダイオードの電位が V_{ref} になる時間が短い場合について説明する。比較器 3 は、光ダイオード 1 の電位 V_{ph} と外部から与えられる参照電位 V_{ref} とを比較し、

$$V_{ph} \geq V_{ref}$$

となると、比較信号 $CH(H)$ を出力する。比較信号 $CH(H)$ を受けて、フリップフロップ回路 27 の出力信号 Out は H から L になり、AND 回路 4 のゲートは閉じられ、クロック信号を遮断される。また、メモリセル 7 はクロックカウンタ 6 からカウンタ値を読み込む。遅延回路 28 を通った出力信号 $Out(L)$ は負論理接続された OR 回路 29 を通って、メモリセルにクロックカウンタ値を転送したクロックカウンタ 6 をリセットする。こうして、メモリセル 7 は、光ダイオード 1 の電位 V_{ph} が 0 から参照電位 V_{ref} になるまでの時間をクロックカウンタ値として保持する。

【0032】リセット信号 $reset(H)$ が入力されると、RS 型フリップフロップ回路 27 の出力信号 Out が L から H になり、再び入射光強度の測定を開始する。

【0033】次に、読みだし周期より、光ダイオードの電位が V_{ref} になる時間が長い場合について説明する。比較器 3 の出力信号が $CH(L)$ を保っている間、すなわち、光ダイオード 1 の電位 V_{ph} と外部から与えられる参照電位 V_{ref} とを比較し、

$$V_{ph} < V_{ref}$$

である間はリセット信号が入力されても、RS 型フリップフロップ回路の出力信号 Out は L から変化しない。こうして、リセット信号は無視される。

【0034】光ダイオード 1 の電位 V_{ph} と外部から与えられる参照電位 V_{ref} とを比較し、

$$V_{ph} \geq V_{ref}$$

となり、比較器 3 の出力信号が $CH(H)$ となるまで、

受光回路 10 は入射光強度の測定を継続する。以下は、上と同様の動作をする。各受光回路 10 のメモリセル 7 に保持されているクロックカウンタ値は、DRAM で用いられている手法によって読み出すことができる。

【0035】本実施例によれば、メモリセル 7 と、リセット信号を受ける RS 型フリップフロップ回路 27 を設けることにより、図 7 に示したように、入射光の強度が強い受光回路 10 のサンプリングタイミングは TV カメラの場合 $1/30$ 秒ごとに同時に行われ、強度が弱い受光回路のサンプリングタイミングは、必要な信号が得られるごとにサンプリングされるダイナミックレンジの広い固体撮像素子を得ることができる。

【0036】

【発明の効果】以上のように本発明は、入射光を電気信号に変える光ダイオードと、光ダイオードの電位と外部から与えられる参照電位とを比較する比較器と、クロックカウンタとから受光単位を構成し、外部に各画素に高周波のクロックパルスを与えるクロックを設け、入射光の強さを光ダイオードにおける電荷蓄積時間によって取り出すことにより、入射光が光ダイオードを飽和させるほど強い場合であっても入射光の強度を測定することができるため、従来の固体撮像素子と比較して広いダイナミックレンジをえることができる。また、入射光の強度はクロックカウンタによってデジタル量で得られるので、画素信号の転送にともなう信号の劣化を避けることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例における固体撮像素子の構成を示す概念図

【図 2】(a) 同実施例における固体撮像素子の受光回路の詳しい構成を示す回路図

(b) 同実施例における固体撮像素子の受光回路の動作を説明するためのタイミングチャート

【図 3】本発明の光ダイオードを微小電圧源から微小電流源に変更した場合の光ダイオード周辺の回路図

【図 4】(a) 本発明の第 2 の実施例における受光回路の構成を示す回路図

(b) 同実施例における固体撮像素子の受光回路の動作を説明するためのタイミングチャート

【図 5】同実施例における動作の様子を示す概念図

【図 6】(a) 本発明の第 3 の実施例における受光回路の構成を示す回路図

(b) 同実施例における固体撮像素子の受光回路の動作を説明するためのタイミングチャート

【図 7】同実施例における動作の様子を示す概念図

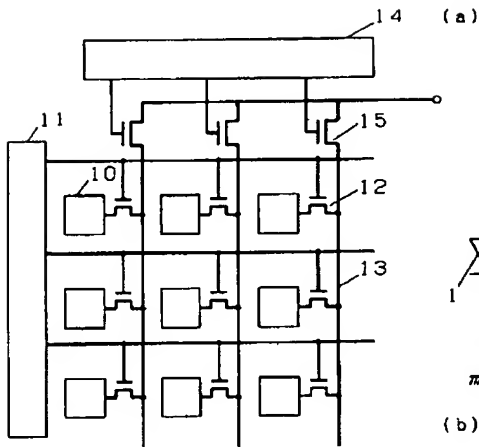
【図 8】従来の固体撮像素子の構成を示す概念図

【符号の説明】

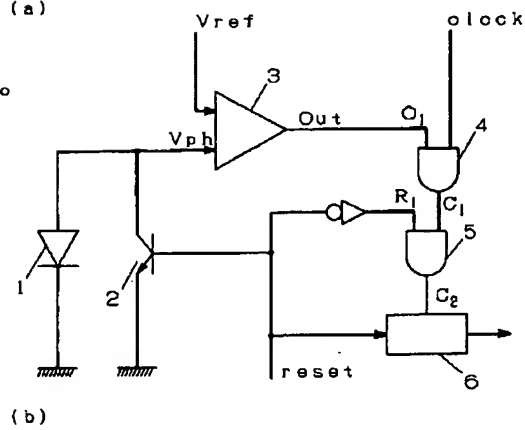
- 1 光ダイオード
- 2 リセットスイッチ
- 3 比較器

- | | | | |
|----|-----------|----|---------------|
| 4 | AND回路 | 17 | 受光部 |
| 5 | AND回路 | 21 | 低電位比較器 |
| 6 | クロックカウンタ | 22 | RS型フリップフロップ回路 |
| 7 | メモリセル | 23 | OR回路 |
| 8 | 抵抗器 | 24 | 抵抗器 |
| 9 | コンデンサ | 25 | 抵抗器 |
| 10 | 受光回路 | 27 | RS型フリップフロップ回路 |
| 11 | 垂直シフトレジスタ | 28 | 遅延回路 |
| 12 | 垂直スイッチ | 29 | OR回路 |
| 13 | 垂直信号線 | 32 | 転送ゲート |
| 14 | 水平シフトレジスタ | 33 | 垂直転送CCD |
| 15 | 水平スイッチ | 34 | 水平転送CCD |
| 16 | メモリ | 35 | 出力アンプ |

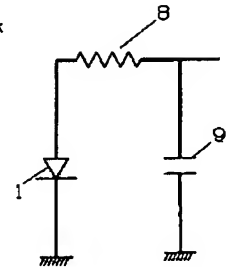
【図1】



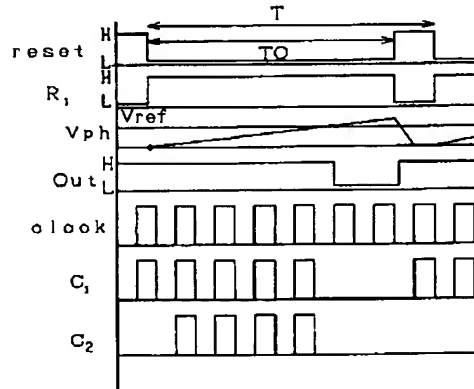
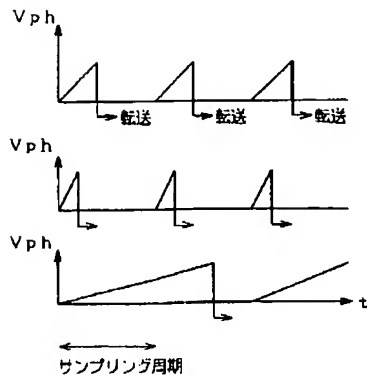
【図2】



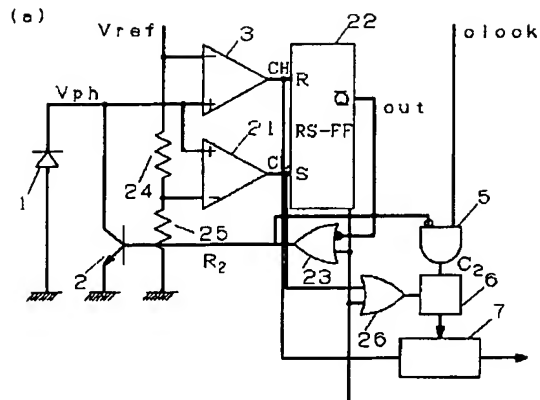
【図3】



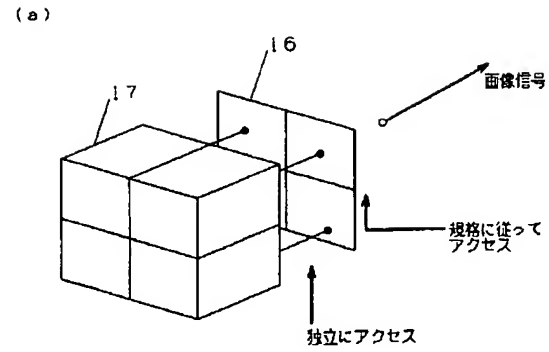
【図7】



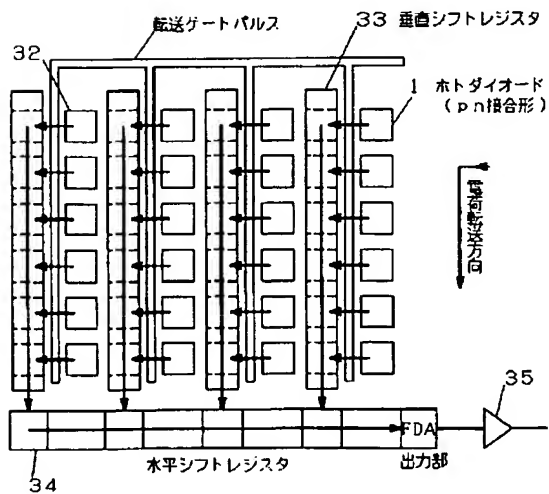
【図4】



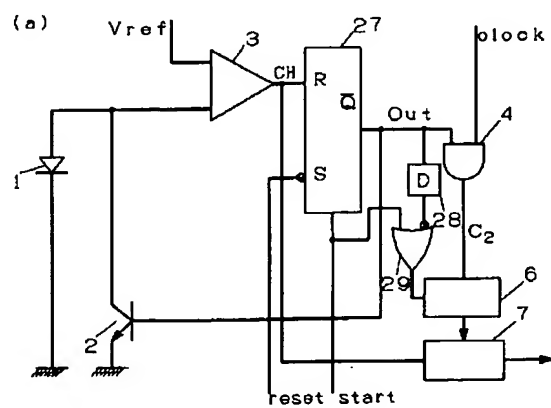
【図5】



【図8】



【図6】



(b)

